

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-140933
 (43)Date of publication of application : 02.06.1995

(51)Int.Cl. G09G 3/36
 G02F 1/133

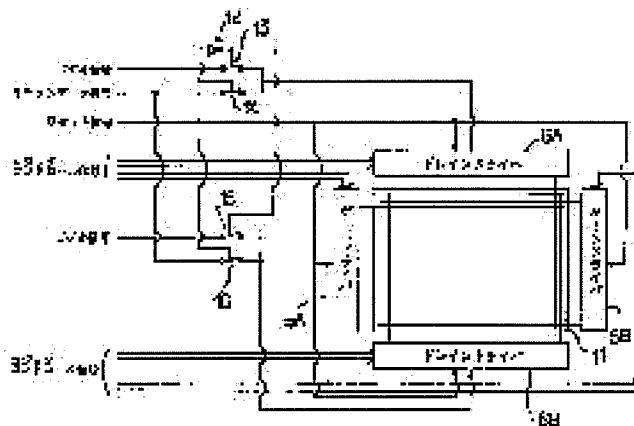
(21)Application number : 05-286650 (71) SANYO ELECTRIC CO LTD
 (22)Date of filing : 16.11.1993 (72)Inventor : MARUSHITA YUTAKA

(54) METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a driving method capable of enhancing animation resolution and providing a high dignity image without lowering vertical resolution in an active matrix liquid crystal display device.

CONSTITUTION: This method is the driving method for the liquid crystal display device constituted so that when the active matrix liquid crystal display device 11 is driven, a reset signal is supplied to gate drivers 5A, 5B at an optional period in a frame interval, and a gate signal to at least one row thin film transistor is made a high level, and the thin film transistor is made on state, and simultaneously impressing the reset signal or a reset data signal with an optional fixed voltage level, the display of a pixel connected to the thin film transistor made on state is refreshed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-140933

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平5-286650

(22) 出願日 平成5年(1993)11月16日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 丸下 裕

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

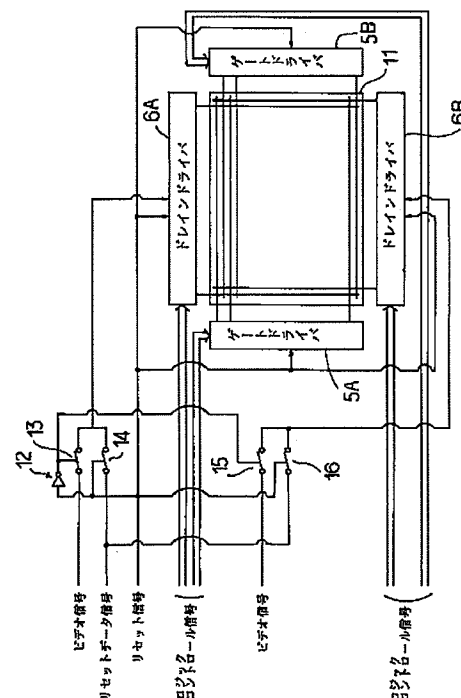
(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【要約】

【目的】 アクティブマトリックス型液晶表示装置において、垂直解像度を低下させることなく、動画解像度を高め、高品位の画像を得ることを可能とする駆動方法を提供する。

【構成】 アクティブマトリックス型液晶表示パネル11を駆動するに際し、リセット信号をフレーム期間内の任意の周期でゲートドライバ5A、5Bに供給し、少なくとも1行の薄膜トランジスタへのゲート信号をハイレベルとして薄膜トランジスタをオン状態とし、同時にリセット信号または任意の一定電圧レベルのリセットデータ信号を印加することにより、オン状態とされている薄膜トランジスタに接続されている画素の表示をリフレッシュする液晶表示装置の駆動方法。



【特許請求の範囲】

【請求項1】 液晶よりなる各画素にスイッチング素子として薄膜トランジスタを接続してなり、前記薄膜トランジスタのゲート電極を走査線に接続し、ソースまたはドレイン電極をデータ線に接続してなるアクティブマトリックス型液晶表示装置のインタレース方式の駆動方法において、

フレーム周期内の任意の周期で、薄膜トランジスタへのゲート信号をハイレベルとしてオン状態とするとともに、同時にオン状態とされた前記薄膜トランジスタにデータ線からリセット信号または所定電圧レベルの信号を印加することを特徴とする、液晶表示装置の駆動方法。

【請求項2】 前記任意の周期がフレーム周期である、請求項1に記載の液晶表示装置の駆動方法。

【請求項3】 液晶よりなる各画素にスイッチング素子として薄膜トランジスタを接続してなり、前記薄膜トランジスタのゲート電極を走査線に接続し、ソースまたはドレイン電極をデータ線に接続してなるアクティブマトリックス型液晶表示装置のインタレース方式の駆動方法において、

フィールド周期で一走査線おきの薄膜トランジスタへのゲート信号をハイレベルとし、前記一走査線おきのすべての薄膜トランジスタをオン状態とするとともに、同時にオン状態とされた薄膜トランジスタにデータ線よりリセット信号または所定電圧レベルの信号を印加することを特徴とする、液晶表示装置の駆動方法。

【請求項4】 液晶よりなる各画素にスイッチング素子として薄膜トランジスタを接続してなり、前記薄膜トランジスタのゲート電極を走査線に接続し、ソースまたはドレイン電極をデータ線に接続してなるアクティブマトリックス型液晶表示装置のインタレース方式の駆動方法において、

水平走査期間周期で、少なくとも一走査線前及び／または一走査線後の表示データをリセットするように、薄膜トランジスタへのゲート信号をハイレベルとし、該薄膜トランジスタをオン状態とするとともに、同時にオン状態にされた薄膜トランジスタに前記データ線からリセット信号または所定電圧レベルの信号を印加することを特徴とする、液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス型の液晶表示装置の駆動方法に関し、特に、インタレース方式の駆動方法において、ある一定期間毎に表示をリフレッシュするステップを備えた液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】図6は、従来より周知の一般的なアクティブマトリックス型液晶表示装置の等価回路を示す図である。

【0003】この液晶表示装置では、画素1が $n \times m$ (n, m は整数)のマトリックス状に配置されており、各画素にスイッチング素子としての薄膜トランジスタ(以下、TFT)2が接続されている。なお、図6において、3は対向電極を、4は補助蓄積容量を示す。

【0004】マトリックス状に配置されているTFTのゲート電極は、走査線 $X_1 \sim X_n$ に接続されており、該走査線 $X_1 \sim X_n$ はゲートドライバ5に接続されている。ゲートドライバ5は、シフトレジスタ及び出力バッファを有し、必要に応じてさらにラッチを有する。

【0005】他方、各TFTのドレイン電極に、データ線 $Y_1 \sim Y_m$ が接続されている。データ線 $Y_1 \sim Y_m$ は、ドレインドライバ6に接続されている。ドレインドライバ6は、シフトレジスタ、サンプルホールド回路及び出力バッファを有する。

【0006】上記液晶表示装置は、通常、線順次駆動と称されている方法で駆動される。すなわち、ゲートドライバ5から何れかの走査線にハイレベルのゲート信号を与え、横1行の走査線上のすべてのTFT2を同時にオン状態とし、その状態でオン状態とされたTFT2に、ドレインドライバ6から所定のデータ(信号電圧)を書き込むことにより駆動されている。

【0007】上記液晶表示装置の駆動原理を、以下においてより詳細に説明する。

(1) まず、ゲートドライバ5により、データ線 $X_1 \sim X_n$ に順次ゲートパルス電圧を印加し、行毎に各行に接続されたTFT2をオン状態とする。

【0008】(2) 列側では、ドレインドライバ6から所定の周期でサンプリングされた信号電圧が、ラインメモリにホールドされている。

(3) ゲートパルス電圧の印加に同期させて(実際はゲート遅延を考慮し位相をシフトさせている)、信号電圧を上記ラインメモリからデータ線 $Y_1 \sim Y_m$ に供給する。

【0009】(4) ラインメモリからデータ線に供給された信号は、ゲートパルス電圧が印加された走査線上にある画素、すなわち、選択された走査線とデータ線との交点にある画素のみに書き込まれる。

【0010】(5) 画素には電気容量が設けられており、信号電圧は、この容量に蓄積される。この容量は、画素電極と対向電極3と液晶材料とで構成されるが、図6に示されているように、この液晶の静電容量と並列に補助蓄積容量4を設けることが多い。

【0011】(6) ゲートパルス電圧が次の走査線に移ると、画素TFT2は電氣的にオフ状態とされ、データ線と画素電極とが切り離される。従って、画素に蓄積された電荷は、次のフレームにおいてゲートパルス電圧が印加されるまで保持され、液晶に対向電極電位と画素電極電位との間の電圧が印加され続け、液晶が準スタティック駆動されることになる。

【0012】図7は、上記ゲートドライバの回路構成を示す図である。この回路は単純なシフトレジスタであり、インバータ及びクロックドインバータで構成されている。この回路により、図8に示すように、クロック信号CKに応じたシフト動作を繰り返すことにより、各行毎に各行に接続されたTFTが順次オン状態とされる。

【0013】図9は、ドレインドライバ6を説明するための回路図である。この回路は、シフトレジスタ6aと、サンプルホールド回路6bと、出力バッファ6cとを有する。

【0014】ドレインドライバ6の動作は、図10に示すように、シフトレジスタ6aの出力（図ではS. R. out1～m）であるサンプリングパルスで入力信号（ビデオ信号）をサンプリングし、サンプリングしたデータをサンプルホールドコンデンサに蓄える。このサンプルホールド動作を、1ライン分繰り返した後、ゲートドライバ5の動作タイミングに同期した出力イネーブル信号により、一斉に1データ線分のデータが液晶表示パネルに供給される。

【0015】

【発明が解決しようとする課題】上記液晶表示装置をインタレース駆動する場合、動画の解像度が低下するという問題があった。

【0016】陰極線管（CRT）では、蛍光体に電子線を照射することにより発光させているため、その残光特性は約2m秒程度であり、前フィールドの像が消去される。これに対し、上記液晶表示装置では、TFTがオフ状態とされた後も、液晶に電圧が印加され続け、液晶の透過光がほとんど時間変化しない。すなわち、液晶がメモリ機能を有するがために、前フィールドの像が残る、これが動画の解像度を低下させる原因となっていた。

【0017】すなわち、奇数フィールドに書き込まれた画像が偶数フィールド時にも表示されたままの状態となり、1フィールドの時間内に奇数フィールド及び偶数フィールドの画像が同時に表示されることになり、1フィールド内で移動する画像すなわち動画を表示した場合には、残像現象により解像度が低下せざるを得なかった。特に、ハイビジョン仕様では、水平走査周波数が33.75kHz、フィールド周波数が60Hzであり、NTSC方式（水平走査周波数が15.74kHz、フィールド周波数が59.94Hz）に比べて、より高速で水平走査されるため、上記残像現象がより問題となっている。

【0018】ハイビジョン仕様を例にとり、上記解像度の低下現象をより具体的に説明する。HD液晶表示装置の垂直方向の画素数を1024（すなわち、 $n=1024$ ）とした場合、図11（a）及び（b）に示すように、インタレース駆動では、まず奇数フィールドで走査

線を1, 3, 5, 7, ...1021, 1023の順に走査し、次に偶数フィールドにおいて走査線を2, 4, 6, 8, ...1022, 1024の順に走査する。従って、図12に示すように、同一水平ラインすなわち走査線の走査は、1フレーム毎（1/30秒）に行われるため、画素へのデータの書き込み時間は1/30秒となる。このため、前フィールドの画像が、次のフィールド期間中残像現象として保持されるので、1/30秒以内に移動する動画の解像度が低下する。

【0019】これに対し、本来走査すべき走査線と同一のタイミングで残像を保持している隣接ラインも走査する2ライン同時駆動法が提案されている。この方式では、図14及び図15に示すように、画素へのデータ書き込み周期は、従来のフレーム周期（1/30秒）から1/2のフィールド周期（1/60秒）となるため、前フィールドの画像が次のフィールドには現れることがなくなる。

【0020】しかしながら、2ライン同時駆動法では、残像現象は解消し得るものの、2本のラインに同じデータを書き込むことになるため、静止画でも垂直解像度の低下を招くことになる。よって、図15に示すように、フィールド毎に同時走査する2ラインの組み合わせを替える可変ペア方式が提案されている。

【0021】この方式では、図13（a）、（b）に示すように、奇数フィールドにおいて図13（a）の1, 1, 3, 3, ...1023, 1023の順に2ラインずつ走査され、かつ偶数フィールドにおいても、図13（b）に示すように2, 2, 4, 4, ...1022, 1022, 1024のように2ラインずつ同時に走査されるが、インタレース駆動時と比較すると、垂直解像度の低下は避けられなかった。

【0022】本発明の目的は、上述した従来の液晶表示装置の駆動法の欠点を解消し、垂直解像度を低下させることなく、さらに動画の残像現象をなくし、動画解像度を向上させ、高品位の画像を得ることを可能とする駆動法を提供することにある。

【0023】

【課題を解決するための手段】本発明は、上記課題を解決すべく成されたものであり、インタレース方式において、ある一定期間ごとに表示をリフレッシュすなわちイニシャライズすることを特徴とするものである。

【0024】すなわち、液晶表示装置の駆動に際し、フレーム周期よりも短い期間内の任意の周期で、例えばフレーム周期、フィールド周期または上記条件を満たす任意の周期で、1行のすべてのTFTのゲート信号をハイレベルとし、1行すべてのTFTをオン状態とし、同時に列電極にリセット信号または一定レベルの信号電圧を印加し、表示をリフレッシュ（イニシャライズ）することを特徴とする。

【0025】すなわち、請求項1に記載の発明は、液晶

よりなる各絵素にスイッチング素子として薄膜トランジスタを接続してなり、前記薄膜トランジスタのゲート電極を走査線に接続し、ソースまたはドレイン電極をデータ線に接続してなるアクティブマトリックス型液晶表示装置のインタレース方式の駆動方法において、フレーム周期内の任意の周期で、1行のすべての薄膜トランジスタへのゲート信号をハイレベルとしてオン状態とするとともに、同時にオン状態とされた前記薄膜トランジスタにデータ線からリセット信号または所定電圧レベルの信号を印加することを特徴とする、液晶表示装置の駆動方法である。

【0026】上記フレーム周期内の期間であってかつ任意の周期とは、上述したように、例えば請求項2に記載のようにフレーム周期としてもよく、あるいは請求項3に記載のようにフィールド周期としてもよく、さらに請求項4に記載のように水平走査期間周期としてもよい。

【0027】フィールド周期で表示をリフレッシュする場合には、請求項3に記載のように一走査線おきのTFTのゲート信号をハイレベルとし、一走査線おきのすべてのTFTをオン状態とし、同時にオン状態とされたTFTにデータ線からリセット信号または所定電圧レベルの信号を印加する。

【0028】また、水平走査期間周期で表示をリフレッシュする場合には、少なくとも一走査線前及び／または一走査線後の表示データをリセットするように、TFTへのゲート信号をハイレベルとし、TFTをオン状態とするとともに、同時にオン状態とされたTFTにデータ線からリセット信号または所定電圧レベルの電圧を印加する。

【0029】

【作用】請求項1～4の記載の発明では、フレーム周期内の任意の周期、例えばフレーム周期、フィールド周期または水平走査期間周期で、所定のTFTがオン状態とされ、オン状態とされたTFTにリセット信号または所定電圧レベルの信号が印加され、表示がリフレッシュされる。従って、前フィールドの画像が上記リセット信号または所定電圧レベルの信号により消去されることになる。よって、垂直像度を低下させることなく、動画時の残像現象をなくすることができる。

【0030】

【実施例の説明】図1は、本発明の一実施例により駆動されるアクティブマトリックス型の液晶表示装置を説明するためのブロック図である。液晶表示パネル11上には、図6に示した液晶表示装置と同様に、 $n \times m$ のマトリックス状に画素が配置されており、かつ各画素にスイッチング素子としてのTFTが接続されている。そして、ゲートドライバ5A、5Bには、 n 本の走査線が接続されており、各走査線にその行の画素に接続されたTFTのゲート電極が接続されている。同様に、ドレインドライバ6A、6Bには、 n 本のデータ線が接続されて

おり、各データ線には、その列のTFTのドレイン電極が接続されている。

【0031】上記ゲートドライバ5A、5B及びドレインドライバ6A、6Bは、前述した従来より公知のゲートドライバ5及びドレインドライバ6と同様に構成されている。

【0032】本実施例の駆動方法は、図1のブロック図において、任意の周期及びタイミングで発生するリセット信号によりゲートドライバ5A、5Bの特定の出力をハイレベルとし、選択された行のすべてのTFTをオン状態とするとともに、一定レベルの電圧信号すなわちリセットデータ信号をドレインドライバ6A、6Bから液晶表示パネル11に供給する。すなわち、リセット信号及びリセットデータ信号を上記のように供給するために、ビデオ信号入力端とゲートドライバ5A、5B及びドレインドライバ6A、6B間に、インバータ12及びスイッチング素子13～16を接続した切り換え回路を有することに特徴を有し、その他の回路構成は従来より公知のアクティブマトリックス型の液晶表示装置と同様である。

【0033】上記切り換え回路では、ビデオ信号入力端に、スイッチング素子13、15が接続されている。スイッチング素子13、15がオン状態とされた場合には、ビデオ信号がドレインドライバ6A、6Bに与えられる。

【0034】他方、リセット信号が供給されると、該リセット信号により、スイッチング素子13及び15が非導通状態とされ、ビデオ信号が遮断される。同時に、リセット信号がゲートドライバ5A、5B及びドレインドライバ6A、6Bに与えられるとともに、スイッチング素子14、16が導通状態とされ、一定電圧レベルのリセットデータ信号がドレインドライバ6A、6Bに与えられる。

【0035】次に、本発明の第1の実施例として、上記切り換え回路を有する回路構成において、HDTV映像信号をインタレース方式で駆動する場合につき説明する。本実施例では、上記リセット信号がフィールド周期毎に与えられ、フィールド周期毎に表示がリフレッシュされる。

【0036】図2を参照して、入力ビデオ信号の垂直帰線に設定したリセット信号により、奇数ラインまたは偶数ラインのゲートドライバの出力をすべてハイ状態とし、1ラインおきの走査線に接続されたすべてのTFTをオン状態とする。この場合、リセットデータ信号がドレインドライバ6A、6Bに供給されるため、データ線よりリセットデータ信号に応じた電圧がオン状態とされたTFTに与えられ、表示がイニシャライズされる。

【0037】この場合、リセットデータ信号の電圧レベルを選択することにより、白表示、中間調表示または黒表示の何れかの状態に表示をイニシャライズすることが

できるが、何れにしても、前に書き込まれていた表示データをクリアするのに十分なリセットデータ信号が与えられることが必要である。従って、本発明における一定電圧レベルの信号とは、上記のように前に書き込まれた表示データをクリアし得る電圧レベルの信号をいう。

【0038】前に書き込まれた表示データがクリアされることにより、次のフィールドの表示と前のフィールドの表示が同時に表示されることがなくなる。従って、CRTによる表示の場合と同様に、動画時の残像現象をなくすことができ、動画解像度を高めることができる。

【0039】しかも、2ライン同時駆動法では、2ラインに同じデータを書き込んでいたため、垂直解像度の低下を招いていたが、本実施例では、2ラインに同じデータを書き込まないため、垂直解像度の低下も生じ難い。

【0040】上記実施例では、フィールド周期毎に表示をリフレッシュしていたが、前フィールドのデータを一齐に消去する方法以外に、1ライン毎に新しいデータを書き込む直前にリセットする方法が考えられる。また、1ライン毎ではなく数ライン毎にリセットしてもよい。このような第2～第4の実施例を、図3～図5を参照して説明する。

【0041】図3は、フレーム周期で表示をリセットする第2の実施例を示す。すなわち、リセット信号Aをフレーム切り替わり時に供給し、それによって奇数ライン及び偶数ラインのすべての表示を垂直帰線期間でリフレッシュするものである。

【0042】また、図4に示す第3の実施例では、正規の表示データを書き込む直前のタイミングで1ライン前の表示をリセットする。すなわち、各走査線G1～G1024をオン状態とする直前にリセット信号を供給し、1ライン前の表示をリセットする。例えば、走査線G2がオン状態とされて書き込まれる直前に、1ライン前すなわち走査線G1に接続されている画素の表示がリセットされる。従って、各走査線G1～G1024に正規の表示データが書き込まれる際には、常に表示がリセットされているため、上記第1の実施例の場合と同様に動画の残存現象をなくすことができ、かつ垂直解像度の低下も引き起こさない。

【0043】図5の第4の実施例では、同じく正規の表示データを書き込む直前のタイミングで、1ライン前の走査線及び1ライン後の走査線の表示をリセットする。なお、図5において、Wは、該当の走査線をハイレベルとし、該走査線の行のTFTをオン状態とし、該走査線に接続されたTFTよりデータを書き込みタイミングを示す。またRは、上記リセット信号を供給し、リセットデータ信号を与えてRで示されるタイミングで該当の走査線に接続されている画素の表示をリフレッシュするタイミングを示す。

【0044】例えば、奇数フィールド期間内において、走査線G3に接続されているすべてのTFTをオン状態

とするゲート信号を与えるタイミングの直前に、1ライン前の走査線G2及び1ライン後の走査線G4に上記リセット信号を与え、1ライン前の走査線G2及び1ライン後の走査線G4の接続された画素の表示をリフレッシュする。従って、偶数フィールド期間において、走査線G2及びG4に接続されているTFTをオン状態とし、オン状態とされたTFTにデータ信号を加えて書き込む際には、前の表示が確実にクリアされている。よって、第1の実施例と同様に、前フィールドの画像が確実に消去されるため、動画時の残存現象をなくし、動画解像度を高めることができ、さらに垂直解像度の低下も生じ難い。

【0045】図5を参照して説明した実施例では、ある走査線に接続されている画素に正規の表示データを書き込む直前に、1ライン前の走査線及び1ライン後の走査線に接続されている画素の表示をリセットしていたが、3本以上の走査線に接続されている画素の表示を同時にリセットしてもよい。

【0046】また、上記各実施例は、HDTV仕様を前提としたが、NTSC方式で映像を表示する場合においても、上記と同様にして、垂直解像度を低下させることなく、動画解像度を高めることができる。

【0047】

【発明の効果】本発明によれば、フレーム周期内の任意の周期、例えば請求項2に記載のようにフレーム周期で、請求項3に記載のようにフィールド周期で、請求項4に記載のように水平走査期間周期で、少なくとも正規の表示データを書き込む行の走査線の前後の走査線に接続されている画素の表示をリフレッシュすることができる。従って前フィールドの画像を供することができる。よって、垂直解像度を低下させることなく、動画時の残像現象をなくし、動画解像度を高めることができる。

【0048】よって、特に動画解像度に優れた高品位の画像を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例の駆動方法により駆動される液晶表示装置の回路構成を示すブロック図。

【図2】第1の実施例において表示をリセットするタイミングを示すタイミングチャート図。

【図3】本発明の第2の実施例において表示をリセットするタイミングを説明するためのタイミングチャート図。

【図4】本発明の第3の実施例において表示をリセットするタイミングを説明するためのタイミングチャート図。

【図5】本発明の第4の実施例において表示をリセットするタイミングを説明するためのタイミングチャート図。

【図6】従来のアクティブマトリックス型液晶表示装置の等価回路を示す図。

【図7】ゲートドライバの回路構成を説明するための回路図。

【図8】ゲートドライバの動作を説明するためのタイミングチャート図。

【図9】ドレインドライバの回路構成を説明するための回路図。

【図10】ドレインドライバの動作を説明するためのタイミングチャート図。

【図11】(a)及び(b)は、インタレース方式の走査方法を説明するための図であり、(a)は奇数フィールドにおける走査を、(b)は偶数フィールドにおける走査を示す図である。

【図12】インタレース方式における液晶への電圧印加状態を説明するための図。

* 【図13】(a)及び(b)は、2ライン同時駆動方式を説明するための模式図であり、(a)は偶数フィールド時、(b)は奇数フィールド時の走査方法を示す図。

【図14】2ライン同時駆動方式における液晶印加電圧状態を説明するための図。

【図15】インタレース方式及び2ライン可変ペア同時走査方式の駆動方法のタイミングチャートを示す図。

【符号の説明】

5 A, 5 B…ゲートドライバ

6 A, 6 B…ドレインドライバ

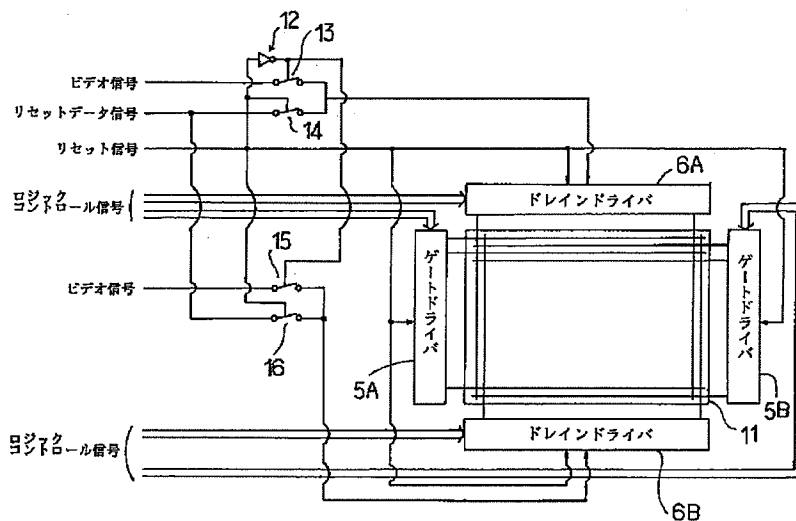
11…液晶表示パネル

12…インバータ

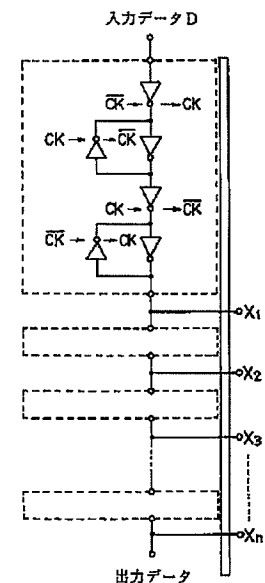
13～16スイッチング素子

*

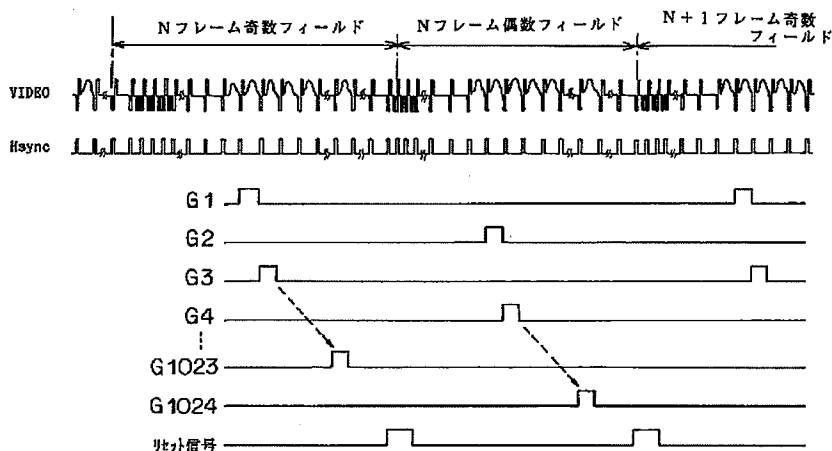
【図1】



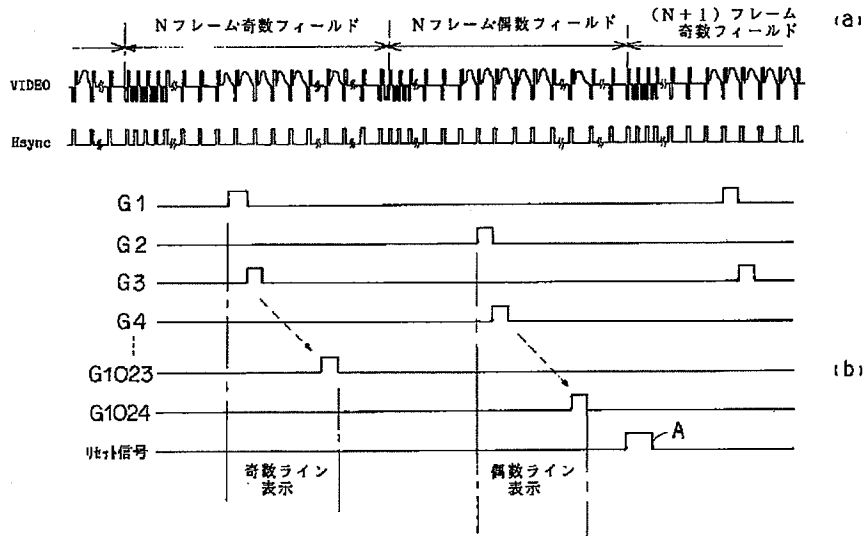
【図7】



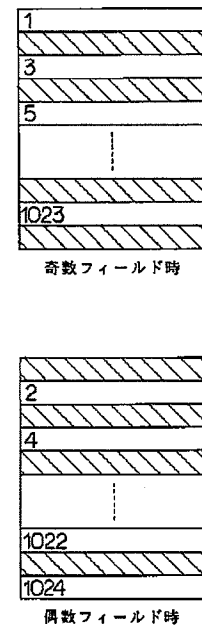
【図2】



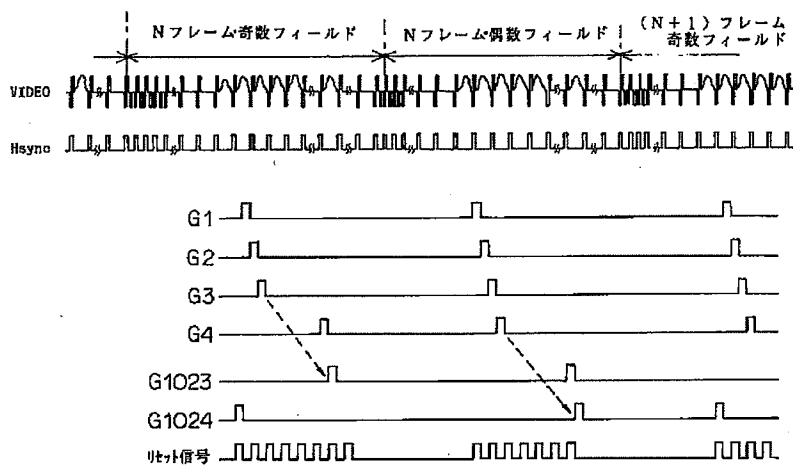
【図3】



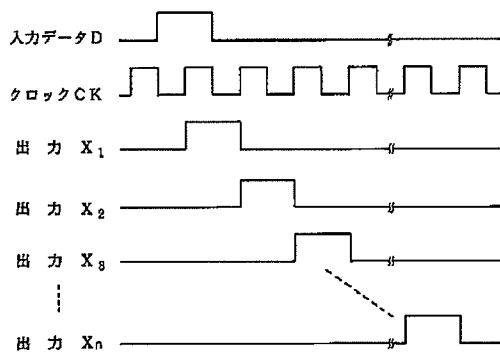
【図11】



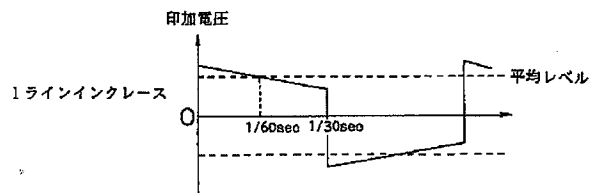
【図4】



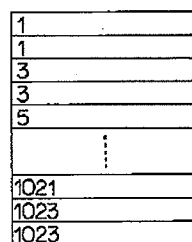
【図8】



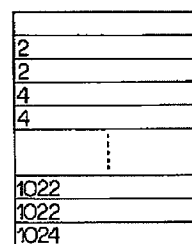
【図12】



【图 13】

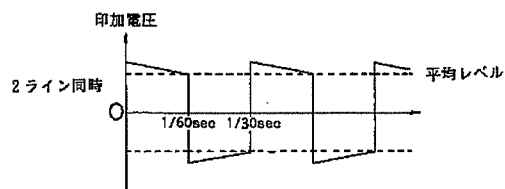
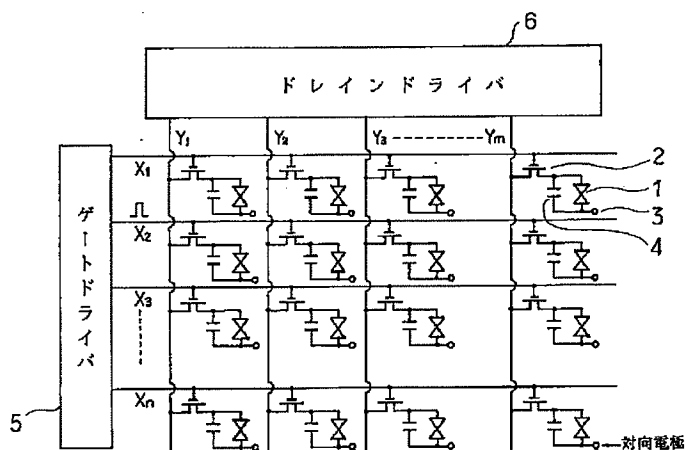


奇数フィールド時



偶数フィールド時

【図 14】



The diagram illustrates the timing of video signals for two lines of interlaced video. At the top, a horizontal timeline is divided into 'Odd Field' and 'Even Field' by a double-headed arrow. Below this, the 'VIDEO' signal is shown as a series of pulses, with odd-numbered lines (1, 3, 5) in the odd field and even-numbered lines (2, 4) in the even field.

The '出力' (Output) section shows five horizontal lines (1-5) representing the video signal for each line. Lines 1, 3, and 5 are active during the odd field, while lines 2, 4, and 5 are active during the even field. Below these are three timing signals labeled 1022, 1023, and 1024, which are active during the odd field.

The 'ゲート出力' (Gate Output) section shows five horizontal lines (1-5) representing the gate signal for each line. Lines 1, 2, and 3 are active during the odd field, while lines 4, 5, and 1 are active during the even field. Below these are three timing signals labeled 1022, 1023, and 1024, which are active during the even field.

The diagram is labeled '2ライン インタレース走査' (2-line interlaced scanning) at the bottom.